

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-323479
(P2000-323479A)

(43)公開日 平成12年11月24日(2000.11.24)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/3205
21/768

H 0 1 L 21/88
21/90

M 5 F 0 3 3
C

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21)出願番号 特願平11-133533

(22)出願日 平成11年5月14日(1999.5.14)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 長谷川 利昭

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 田口 充

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

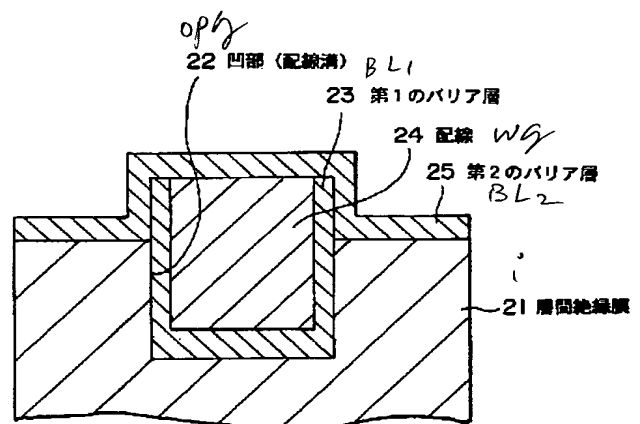
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 配線溝の内部にバリアメタル層を介して形成した銅配線の上面に窒化膜を単に被覆した構成では、バリアメタル層と窒化膜との界面より層間絶縁膜方向に移動しようとする銅配線中の銅の移動を阻止し、リーク電流を発生および隣接する銅配線との短絡を防止する。

【解決手段】 層間絶縁膜21に形成した凹部(配線溝)22の内部に配線24を形成した半導体装置において、配線24の下部側より当該配線24を被覆する第1のバリア層23と、配線24の上部側より当該配線24を被覆する第2のバリア層25とを備え、第1のバリア層23と第2のバリア層25とが重なりあって配線24が被覆されているものである。



【特許請求の範囲】

【請求項 1】 層間絶縁膜に形成した凹部の内部に配線を備えた半導体装置において、前記配線の下部側より当該配線を被覆する第 1 のバリア層と、前記配線の上部側より当該配線を被覆する第 2 のバリア層とを備え、前記第 1 のバリア層と前記第 2 のバリア層とが重なりあって前記配線が被覆されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 のバリア層と前記第 2 のバリア層との重なり合っている部分は、前記配線の側部に設けられている、ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 のバリア層と前記第 2 のバリア層との重なり合っている部分は、前記配線の上側部に設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記凹部は、溝、もしくは接続孔、もしくは溝と該溝の底部に形成した接続孔とからなることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 絶縁膜に凹部を形成した後、前記凹部の内面に第 1 のバリア層を形成するとともに前記凹部の内部に導電体を埋め込むことで配線を形成する工程と、前記配線の周囲の前記絶縁膜を除去して、前記絶縁膜表面より前記配線と前記第 1 のバリア層とを突出させる工程と、前記配線の上部側を覆うとともに前記配線の側部で前記第 1 のバリア層と重なり合って前記配線を前記第 1 バリア層とともに覆う第 2 のバリア層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 6】 前記配線の周囲の前記絶縁膜を除去する工程から前記第 2 のバリア層を形成する工程までを非酸化性雰囲気で行うことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記凹部は、溝、もしくは接続孔、もしくは溝と該溝の底部に形成した接続孔で形成されることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】 絶縁膜に凹部を形成した後、前記凹部の内面に第 1 のバリア層を形成するとともに前記凹部の内部に導電体を埋め込むことで配線を形成する工程と、前記第 1 のバリア層の上側部近傍の前記絶縁膜を除去して溝を形成する工程と、前記配線の上部側を覆うとともに前記溝を埋め込む状態に第 2 のバリア層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 9】 前記配線の周囲の前記絶縁膜を除去する工程から前記第 2 のバリア層を形成する工程までを非酸化性雰囲気で行うことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記凹部は、溝、もしくは接続孔、もしくは溝と該溝の底部に形成した接続孔で形成されることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 11】 絶縁膜に凹部を形成した後、前記凹部の内面に第 1 のバリア層を形成するとともに前記凹部の内部に導電体を埋め込むことで配線を形成する工程と、前記絶縁膜表面よりも低くなるように前記配線の上部を除去する工程と、

前記配線の上部側を覆うとともに前記配線の上側部で前記第 1 のバリア層と重なり合って前記配線を前記第 1 バリア層とともに覆う第 2 のバリア層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 12】 前記配線の上部を除去する工程から前記第 2 のバリア層を形成する工程までを非酸化性雰囲気で行うことを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記凹部は、溝、もしくは接続孔、もしくは溝と該溝の底部に形成した接続孔で形成されることを特徴とする請求項 11 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、詳しくは銅もしくは銅合金を導電体に用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置の微細化にともなって、配線の微細化、配線ピッチの縮小化が必要になっている。また同時に、低消費電力化および高速化などの要求にともない、層間絶縁膜の低誘電率化および配線の低抵抗化が必要になってきた。特にロジックデバイスでは、微細配線による抵抗上昇、配線容量の増加がデバイスの動作速度の低下につながるため、低誘電率膜を層間絶縁膜を用いた微細化された多層配線が必要になっている。

【0003】配線幅の微細化、ピッチの縮小化は、配線自体の縦横比を大きくするだけではなく、配線間の間隔（ライン・アンド・スペースのスペース部分）のアスペクト比を大きくし、結果として、縦に細長い微細配線を形成する技術、微細な配線間を層間絶縁膜で埋め込む技術などに負担がかかり、プロセスを複雑にすると同時に、プロセス数の増大を招いている。

【0004】接続孔（例えばビアホール）と配線溝とを金属（アルミニウム、銅等）のリフローズパッキングもしくはメッキで同時に埋め込み、化学的機械研磨（以下CMPという）により表面の金属を研磨するダマシンプロセスでは、高アスペクト比の金属配線をエッチングで形成することも、配線間の挟隙を層間絶縁膜で埋め込む必要もなく、大幅にプロセス数を減らすことが可能である。このプロセスは、配線のアスペクト比が高くなるほど、配線総数が増大するほど、総製造コストの削減に

大きく寄与するようになる。

【0005】従来、LSIの配線では、導電材料にアルミニウムおよびアルミニウム合金が用いられてきたが、近年、半導体集積回路の集積度の向上にともない、高速化、低消費電力化を達成するために、導電材料には銅合金が用いられるようになってきた。また、銅を配線材料に用いる製造方法は、従来のエッチングにより配線材料を加工した後に絶縁膜を被覆させるのではなく、先に絶縁膜を形成した後に、その一部に導電体を埋め込むための溝および孔を形成し、そのなかに導電体からなる配線材料を埋め込むダマシン法が開発されている。

【0006】次に、ダマシン法による配線の形成方法を、図10の製造工程により説明する。

【0007】図10の(1)に示すように、第1の絶縁層111上に第2の絶縁層112を形成する。第1の絶縁層111と第2の絶縁層112とは異なる絶縁材料で形成されたものであっても、同一絶縁材料で形成されたものであってもよい。

【0008】次に、図10の(2)に示すように、通常のリソグラフィ技術とエッチング技術とによって、第2の絶縁層112に配線または電極を形成するための溝113を形成する。

【0009】続いて、図10の(3)に示すように、この上記溝113の内面にバリアメタル層114を形成し、さらに導電体として銅を埋め込む。その後、溝113からはみ出したバリアメタル層114と銅とを、化学的機械研磨(以下CMPという、CMPはChemical Mechanical Polishingの略)法により、除去し、その表面を平坦化する。このようにして、溝113の内部にバリアメタル層114を介して銅からなる配線115を形成する。この図では、バリアメタル層114は、第1の絶縁層111および第2の絶縁層112への拡散(移動)を防止するためのものであり、現在はタンタルもしくはタンタル化合物もしくはタンタル合金が用いられることが多い。その他の材料では、チタン、チタン合金、タングステン等が用いられている。

【0010】その後、図10の(4)に示すように、配線115の上部を被覆するように、第2の絶縁層112上に窒化膜(例えば窒化シリコン膜)116を形成する。この窒化膜116は配線115中の銅の上部への拡散を防止するためのものである。

【0011】上記図10では、溝113中に銅からなる配線115を形成した場合を示したが、下層配線との接続孔を上層配線を埋め込む溝と同時に形成し、その溝と接続孔とに同時に導電体を埋め込むデュアルダマシン法でも、溝内に形成されるバリアメタル層と配線上に形成される窒化膜とは同様な構成を有している。

【0012】一方、銅を導電材料にするための問題点が指摘されている。すなわち、銅はアルミニウムのように種々の材料と容易に酸化物を形成する材料ではないの

で、層間絶縁膜および配線間絶縁膜中を容易に移動(拡散)する。したがって、半導体装置において、銅配線を実現するためには、銅の移動を阻止するいわゆるバリア層の形成が必須技術になる。そのため、バリア層によって、確実に銅の移動を阻止する必要がある。

【0013】

【発明が解決しようとする課題】しかしながら、従来の技術で説明した配線構造では、配線溝の内面に形成したバリアメタル層と銅配線の上面に形成した窒化膜との接触面積が少なく、また銅配線の上面と、バリアメタル層と窒化膜との接触面とがほぼ同一平面上に存在しているため、例えば銅配線のストレスによって、バリアメタル層と窒化膜とが剥がされた場合には、銅配線の銅がバリアメタル層と窒化膜との界面より酸化シリコン膜方向に移動してしまう。それは、銅が非常に移動し易い物質であるためである。そのことが、リーク電流の原因になり、最悪の場合には隣接する銅配線との短絡を引き起こすことになる。

【0014】また、銅は、2種類の材料が積層された界面や各種材料の表面拡散が非常に大きいことが報告されている。例えば、1998 International Conference on Solid State Devices and Materialsにおいて、S. U. KimらがBCBと窒化シリコン膜との界面での加工時の欠陥に誘起された異常拡散を報告している。これにより、銅配線では、熱拡散だけを留意するだけでは不十分であることがわかった。

【0015】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法である。

【0016】半導体装置は、層間絶縁膜に形成した凹部の内部に配線を備えた半導体装置において、配線の下部側より当該配線を被覆する第1のバリア層と、配線の上部側より当該配線を被覆する第2のバリア層とを備え、第1のバリア層と第2のバリア層とが重なりあって配線が被覆されているものである。

【0017】上記半導体装置では、配線の下部側より当該配線を被覆する第1のバリア層と、配線の上部側より当該配線を被覆する第2のバリア層とを備え、第1のバリア層と第2のバリア層とが重なりあって配線が被覆されていることから、配線のストレスが第1のバリア層および第2のバリア層に加えられても、第1のバリア層と第2のバリア層とが重なり合っていることにより、たとえば、どちらかのバリア層がずれたとしても、重なり合っている部分で第1のバリア層と第2のバリア層とは接触を保持している。すなわち、第1のバリア層と第2のバリア層とが重なり合うことにより、バリア層同志の密着力が強化されている。そのため、第1のバリア層と第2のバリア層とが離れて、その間から配線を構成する金属が外部に移動(もしくは拡散)することがない。したが

5

って、配線が銅もしくは銅合金で形成され、配線の周囲に酸化シリコンの層間絶縁膜が形成されていても、配線中の銅、例えばイオン化した銅が層間絶縁膜中に移動することがない。

【0018】第1の半導体装置の製造方法は、絶縁膜に凹部を形成した後、この凹部の内面に第1のバリア層を形成するとともに凹部の内部に導電体を埋め込むことで配線を形成する工程と、配線の周囲の絶縁膜を除去して、絶縁膜表面より配線と第1のバリア層とを突出させる工程と、配線の上部側を覆うとともに配線の側部で第1のバリア層と重なり合って配線を第1バリア層とともに覆う第2のバリア層を形成する工程とを備えた製造方法である。

【0019】上記第1の半導体装置の製造方法では、絶縁膜に形成した凹部の内面に第1のバリア層を形成するとともに凹部の内部に導電体を埋め込むことで配線を形成する工程と、配線の周囲の絶縁膜を除去して、絶縁膜表面より配線と第1のバリア層とを突出させる工程と、配線の上部側を覆うとともに配線の側部で第1のバリア層と重なり合って配線を第1バリア層とともに覆う第2のバリア層を形成する工程とを備えていることから、配線は第1のバリア層と第2のバリア層とにより被覆される。

【0020】そのため、配線のストレスが第1のバリア層および第2のバリア層に加えられても、第1のバリア層と第2のバリア層とが重なり合っていることにより、たとえ、どちらかのバリア層がずれたとしても、重なり合っている部分で第1のバリア層と第2のバリア層との接触が保たれる。すなわち、第1のバリア層と第2のバリア層とを重なり合うように形成することにより、バリア層同志の密着力が強化されている。したがって、第1のバリア層と第2のバリア層とが離れないので、その間に隙間が開いて配線を構成する金属が外部に移動（もしくは拡散）することはない。よって、配線を銅もしくは銅合金で形成したとしても、配線中の銅が絶縁膜中に移動することはない。

【0021】第2の半導体装置の製造方法は、絶縁膜に凹部を形成した後、この凹部の内面に第1のバリア層を形成するとともに凹部の内部に導電体を埋め込むことで配線を形成する工程と、第1のバリア層の上側部近傍の絶縁膜を除去して溝を形成する工程と、配線の上部側を覆うとともに溝を埋め込む状態に第2のバリア層を形成する工程とを備えた製造方法である。

【0022】上記第2の半導体装置の製造方法では、絶縁膜に形成した凹部の内面に第1のバリア層を形成するとともに凹部の内部に導電体を埋め込むことで配線を形成する工程と、第1のバリア層の上側部近傍の絶縁膜を除去して溝を形成する工程と、配線の上部側を覆うとともに溝を埋め込む状態に第2のバリア層を形成する工程とを備えていることから、配線は第1のバリア層と第2

6

のバリア層とにより被覆される。

【0023】そのため、配線のストレスが第1のバリア層および第2のバリア層に加えられても、第1のバリア層と第2のバリア層とが重なり合っていることにより、たとえ、どちらかのバリア層がずれたとしても、重なり合っている部分で第1のバリア層と第2のバリア層との接触が保たれる。すなわち、第1のバリア層と第2のバリア層とを重なり合うように形成することにより、バリア層同志の密着力が強化されるためである。したがって、第1のバリア層と第2のバリア層とが離れないので、その間に隙間が開いて配線を構成する金属が外部に移動（もしくは拡散）することはない。よって、配線を銅もしくは銅合金で形成したとしても、配線中の銅が絶縁膜中に移動することはない。

【0024】第3の半導体装置の製造方法は、絶縁膜に凹部を形成した後、この凹部の内面に第1のバリア層を形成するとともに凹部の内部に導電体を埋め込むことで配線を形成する工程と、絶縁膜表面よりも低くなるように配線の上部を除去する工程と、配線の上部側を覆うとともに配線の上側部で第1のバリア層と重なり合って配線を第1バリア層とともに覆う第2のバリア層を形成する工程とを備えた製造方法である。

【0025】上記第3の半導体装置の製造方法では、絶縁膜に形成した凹部の内面に第1のバリア層を形成するとともに凹部の内部に導電体を埋め込むことで配線を形成する工程と、絶縁膜表面よりも低くなるように配線の上部を除去する工程と、配線の上部側を覆うとともに配線の上側部で第1のバリア層と重なり合って配線を第1バリア層とともに覆う第2のバリア層を形成する工程とを備えていることから、配線は第1のバリア層と第2のバリア層とにより被覆される。

【0026】そのため、配線のストレスが第1のバリア層および第2のバリア層に加えられても、第1のバリア層と第2のバリア層とが重なり合っていることにより、たとえ、どちらかのバリア層がずれたとしても、重なり合っている部分で第1のバリア層と第2のバリア層との接触が保たれる。すなわち、第1のバリア層と第2のバリア層とを重なり合うように形成することにより、バリア層同志の密着力が強化されるためである。したがって、第1のバリア層と第2のバリア層とが離れないので、その間に隙間が開いて配線を構成する金属が外部に移動（もしくは拡散）することはない。よって、配線を銅もしくは銅合金で形成したとしても、配線中の銅が絶縁膜中に移動することはない。

【0027】

【発明の実施の形態】本発明の半導体装置に係わる第1の実施の形態を、図1の概略構成断面図によって説明する。

【0028】図1に示すように、半導体装置の一部を構成する層間絶縁膜21には凹部（以下、配線溝として説

10

20

30

40

50

明する) 22が形成されている。上記層間絶縁膜21は、例えば酸化シリコンで形成されている。この配線溝22には、第1のバリア層23を介して配線24が上記層間絶縁膜21の上面より突出する状態に形成されている。このように、第1のバリア層23は上記配線24を下部側より被覆している。第1のバリア層23は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化タンタルもしくはタンタルで形成されている。上記配線24は、例えば銅もしくは銅合金で形成されている。

【0029】さらに上記配線24を上部側より被覆する第2のバリア層25が、上記第1のバリア層23と上記配線24の側部(側面)で重なり合う状態に形成されている。この第2バリア層25は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化シリコンで形成されている。このようにして、配線24は第1のバリア層23と第2のバリア層25とによって被覆されている。

【0030】なお、上記層間絶縁膜21は、図示はしないが、例えば半導体基板上に形成されたトランジスタ、容量、抵抗等の半導体素子や配線を被覆するものであってもよく、または平坦化のためのものであってもよく、または配線層を被覆するものであってもよい。すなわち、通常の半導体装置に用いられている層間絶縁膜である。

【0031】上記第1の実施の形態では、配線24の下部側よりこの配線24を被覆する第1のバリア層23と、上記配線24の上部側よりこの配線24を被覆する第2のバリア層25とを備え、第1のバリア層23と第2のバリア層25とが配線24の側部で重なりあって配線24が被覆されていることから、配線24のストレスが第1のバリア層23および第2のバリア層25に加えられても、第1のバリア層23と第2のバリア層25とが重なり合っていることにより、たとえ、どちらかのバリア層(例えば第2のバリア層25)がずれたとしても、重なりあっている部分で第1のバリア層23と第2のバリア層25とは接触を保持している。

【0032】すなわち、第1のバリア層23と第2のバリア層25とが重なり合うことにより、バリア層同志の密着力が強化されている。そのため、第1のバリア層23と第2のバリア層25とが離れて、その間から配線24を構成する金属が外部、すなわち層間絶縁膜21の方向に移動(もしくは拡散)することがない。すなわち、配線24のストレスが働いても、第1のバリア層23と第2のバリア層25とで配線24を被覆している状態は変わらない。したがって、配線24を構成する銅が、例えばイオン化して配線24の周囲の層間絶縁膜21中に移動することがない。

【0033】次に、本発明の半導体装置に係わる第2の実施の形態を、図2の概略構成断面図によって説明す

る。なお、図2では、前記図1と同様の構成部品には同一符号を付与する。

【0034】図2に示すように、半導体装置の一部を構成する層間絶縁膜21には凹部(以下、配線溝として説明する)22が形成されている。上記層間絶縁膜21は、例えば酸化シリコンで形成されている。この配線溝22には、第1のバリア層23を介して配線24が形成されている。このように、第1のバリア層23は上記配線24を下部側より被覆している。第1のバリア層23は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化タンタルもしくはタンタルで形成されている。上記配線24は、例えば銅もしくは銅合金で形成されている。

【0035】さらに上記第1のバリア層23の上側部の層間絶縁膜21には溝26が形成され、その溝26を埋め込むようにかつ上記配線24を上部側より被覆するように第2のバリア層25が形成されている。このように第2のバリア層25が形成されていることから、第2のバリア層25は上記第1のバリア層23と上記配線24の側部(側面)で重なり合う状態になっている。この第2バリア層25は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化シリコンで形成されている。もしくは、炭化シリコン、タンタル、タンタル合金、窒化タンタル等で形成することも可能である。このようにして、配線24は第1のバリア層23と第2のバリア層25とによって被覆されている。

【0036】上記第2の実施の形態では、配線24の側部で第1のバリア層23と第2のバリア層25とが重なり合う状態に、第1のバリア層23と第2のバリア層25とで配線24を被覆しているので、前記第1の実施の形態を同様に、配線24を構成する銅が、例えばイオン化して配線24の周囲の層間絶縁膜21中に移動するのを、第1のバリア層23と第2のバリア層25とで阻止することができる。

【0037】次に、本発明の半導体装置に係わる第3の実施の形態を、図3の概略構成断面図によって説明する。なお、図3では、前記図1と同様の構成部品には同一符号を付与する。

【0038】図3に示すように、半導体装置の一部を構成する層間絶縁膜21には凹部(以下、配線溝として説明する)22が形成されている。上記層間絶縁膜21は、例えば酸化シリコンで形成されている。この配線溝22には、第1のバリア層23を介して配線24が形成されている。このように、第1のバリア層23は上記配線24を下部側より被覆している。第1のバリア層23は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化タンタルもしくはタンタルで形成されている。上記配線24は、例えば銅もしくは銅合金で形成されている。

【0039】さらに上記第1のバリア層23の上側部近

傍の層間絶縁膜 21 には溝 26 が形成され、その溝 26 を埋め込むようにかつ上記配線 24 を上部側より被覆するように第 2 のバリア層 27 が形成されている。このように第 2 のバリア層 27 が形成されていることから、第 2 のバリア層 27 は上記第 1 のバリア層 23 と上記配線 24 の側部（側面）で重なり合う状態になっている。この第 2 バリア層 27 は、銅原子および銅イオンに対してバリア性を有するような材料として、例えばアリアルエーテルのような低誘電率有機膜で形成されている。このようにして、配線 24 は第 1 のバリア層 23 と第 2 のバリア層 27 とによって被覆されている。

【0040】なお、上記第 2 のバリア層に低誘電率有機膜を用いることができるのは、低誘電率有機膜に対する銅の拡散係数が小さいためである。

【0041】上記第 3 の実施の形態では、配線 24 の側部で第 1 のバリア層 23 と第 2 のバリア層 27 とが重なり合う状態に、第 1 のバリア層 23 と第 2 のバリア層 27 とで配線 24 を被覆しているため、前記第 1 の実施の形態を同様に、配線 24 を構成する銅が、例えばイオン化して配線 24 の周囲の層間絶縁膜 21 中に移動するのを、第 1 のバリア層 23 と第 2 のバリア層 27 とで阻止することができる。また、第 2 のバリア層 27 は、配線 24 とその上部に形成される配線（図示せず）との配線間の層間絶縁膜として用いることが可能である。

【0042】次に、本発明の半導体装置に係わる第 4 の実施の形態を、図 4 の概略構成断面図によって説明する。なお、図 4 では、前記図 1 と同様の構成部品には同一符号を付与する。

【0043】図 4 に示すように、半導体装置の一部を構成する層間絶縁膜 21 には凹部（以下、配線溝として説明する）22 が形成されている。上記層間絶縁膜 21 は、例えば酸化シリコンで形成されている。この配線溝 22 の内壁（底部も含む）には、第 1 のバリア層 23 が形成されている。上記第 1 のバリア層 23 は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化タンタルもしくはタンタルで形成されている。さらに上記配線溝 22 には、上記第 1 のバリア層 23 を介して配線 24 が上記層間絶縁膜 21 の上面より凹んだ状態に形成されている。この配線 24 は、例えば銅もしくは銅合金で形成されている。

【0044】したがって、上記配線溝 22 内において上記配線 24 の側方上にも上記第 1 のバリア層 23 が形成され、その第 1 のバリア層 23 によって上記配線 24 の下部側が被覆されている。

【0045】さらに上記配線 24 を上部側より被覆する第 2 のバリア層 25 が、上記第 1 のバリア層 23 と上記配線溝 22 の側壁で重なり合う状態に形成されている。この第 2 バリア層 25 は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化シリコンで形成されている。このようにして、配線 24 は第

1 のバリア層 23 と第 2 のバリア層 25 とによって被覆されている。

【0046】なお、上記層間絶縁膜 21 は、図示はしないが、例えば半導体基板上に形成されたトランジスタ、容量、抵抗等の半導体素子や配線を被覆するものであってもよく、または平坦化のためのものであってもよく、または配線層を被覆するものであってもよい。すなわち、通常の半導体装置に用いられている層間絶縁膜である。

10 【0047】上記第 4 の実施の形態では、配線 24 の下部側よりこの配線 24 を被覆する第 1 のバリア層 23 と、上記配線 24 の上部側よりこの配線 24 を被覆する第 2 のバリア層 25 とを備え、第 1 のバリア層 23 と第 2 のバリア層 25 とが配線溝 22 の側部で重なりあって配線 24 が被覆されていることから、配線 24 のストレスが第 1 のバリア層 23 および第 2 のバリア層 25 に加えられても、第 1 のバリア層 23 と第 2 のバリア層 25 とが重なり合っていることにより、たとえ、どちらかのバリア層（例えば第 2 のバリア層 25）がずれたとしても、重なりあっている部分で第 1 のバリア層 23 と第 2 のバリア層 25 との接触は保持される。

20 【0048】すなわち、第 1 のバリア層 23 と第 2 のバリア層 25 とが重なり合うことにより、バリア層同志の密着力が強化されている。そのため、第 1 のバリア層 23 と第 2 のバリア層 25 とが離れて、その間から配線 24 を構成する金属が外部、すなわち層間絶縁膜 21 の方向に移動（もしくは拡散）することがない。すなわち、配線 24 のストレスが働いても、第 1 のバリア層 23 と第 2 のバリア層 25 とで配線 24 を被覆している状態は変わらない。したがって、配線 24 を構成する銅が、例えばイオン化して配線 24 の周囲の層間絶縁膜 21 中に移動することがない。

30 【0049】次に、本発明の第 1 の製造方法に係わる実施の形態を、図 5 の製造工程図によって説明する。図 5 では、一例として、前記図 1 によって説明した半導体装置の製造方法を示し、前記図 1 で示した構成部品と同様の部品には同一符号を付与する。

40 【0050】図 5 の（1）に示すように、半導体基板（図示省略）には、半導体素子（例えば、トランジスタ、容量、抵抗等）が形成され、さらに下層配線、配線パターン等が形成されている。そのような半導体基板には、それらの素子、配線等を覆う絶縁膜 11 が形成されている。その絶縁膜 11 上に、層間絶縁膜 21 を形成する。この層間絶縁膜 21 は、例えばアリアルエーテル等の低誘電率有機膜と酸化シリコン膜との積層膜で形成する。もしくは、フッ素樹脂膜と酸化シリコン膜との積層膜、酸化フッ素化シリコン膜、有機 SOG 膜、無機 SOG 膜等の、いわゆる低誘電率膜で形成する。特に、デザインルールが 0.13 μm 世代以降のデバイスでは、50 低誘電率膜を含むことが必要である。

【0051】その後、一般的に知られているダマシン法によって、層間絶縁膜 21 に凹部（以下、配線溝として説明する）22 を形成した後、配線溝 22 の内面に第 1 のバリア層 23 を、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化タンタルもしくはタンタルで形成する。さらに、配線溝 22 の内面に第 1 のバリア層 23 を介して銅のシード層を形成した後、電解めっき法等により、配線溝 22 の内部を導電体（例えば銅）で埋め込む。その後、例えば CMP により、層間絶縁膜 21 上の余分な銅および第 1 のバリア層 23 を除去して、配線溝 22 の内部に第 1 のバリア層 23 を介して銅からなる配線 24 を形成する。

【0052】次に、図 5 の（2）に示すように、配線 24 の周囲の層間絶縁膜 21 をエッチングにより除去して、層間絶縁膜 21 の表面より配線 24 と第 1 のバリア層 23 とを突出させる。したがって、第 1 のバリア層 23 は上記配線 24 を下部側より被覆している状態になっている。

【0053】上記エッチングでは、層間絶縁膜 21 が酸化シリコン膜の場合、例えば濃度が 0.1%～1.0% のフッ酸水溶液、ここでは一例として 0.5% のフッ酸水溶液を用いて、ウェットエッチングにより除去する。なお、0.1%未満の濃度のフッ酸水溶液を用いたウェットエッチングではエッチングレートが遅くなるために実用的ではなく、1.0%を越えるフッ酸水溶液を用いたウェットエッチングでは金属部分もエッチングされてしまうので好ましくない。また、層間絶縁膜 21 が、アリアルエーテルのような低誘電率有機膜の場合には、水素プラズマエッチングもしくは窒素プラズマエッチングにより除去する。なお、酸素プラズマエッチングを用いることは、配線 24 の銅を酸化させ、不良の原因となるため、好ましくない。また、配線 24 の酸化防止の観点から、このエッチングと次に行う第 2 のバリア層の形成までを非酸化性雰囲気で行うことが望ましい。すなわち、いわゆる in situ 処理を行うことが望ましい。

【0054】また、上記層間絶縁膜 21 のエッチングをフッ化炭素系のガスを用いたドライエッチングにより行うことも可能である。この場合、第 1 のバリア層 23 の上部もエッチングされる場合がある。なお、第 1 のバリア層 23 の上部がエッチングされたとしても、その後に形成される第 2 のバリア層の第 1 のバリア層 23 に対する重なり量が十分に確保できるように、すなわち、エッチング後の層間絶縁膜 21 の表面より第 1 のバリア層 23 を 30 nm 以上の高さに残すように、上記エッチングを行う必要がある。

【0055】上記層間絶縁膜 21 のエッチングによって、層間絶縁膜 21 と第 1 のバリア層 23 との段差の高さを少なくとも 30 nm 以上に形成することが好ましい。もし、上記段差が 30 nm 以下の場合には、後に形成する第 2 のバリア層との重なり部分が少なくなり、十

分なバリア性を確保することが困難になり、従来のバリア層の構造と同様になってしまうためである。

【0056】次に、図 5 の（3）に示すように、上記配線 24 を覆うように上記層間絶縁膜 21 上に第 2 のバリア層 25 を形成する。この第 2 のバリア層 25 は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化シリコン、水素化シリコンカーボン等の絶縁膜で形成する。その製造方法としては、CVD 法が好ましい。その他の成膜方法としては、スパッタリング、ゾルゲル法等の成膜方法を用いることもできる。CVD 法により成膜する場合は、上記層間絶縁膜 21 のエッチングと in situ 処理することが好ましい。例えば、酸化シリコン膜を希フッ酸水溶液でエッチングした後、水素プラズマを用いたエッチングにより、5 nm～20 nm 程度エッチングを行い、その後、連続して化学的気相成長（以下、CVD という、CVD は Chemical Vapour Deposition の略）法により窒化シリコン膜からなる第 2 のバリア層 25 を形成する。

【0057】層間絶縁膜 21 が有機膜の場合には、水素プラズマもしくは窒素プラズマを用いたエッチングにより 10 nm～100 nm 程度エッチングし、その後、CVD 法により第 2 のバリア層 25 を窒化シリコン膜で形成する。このとき、窒化シリコン膜は 20 nm～100 nm 程度の厚さに形成することが望ましい。20 nm 未満では十分なバリア性が得られない。一方、100 nm を超える厚さでは、配線間容量が大きくなり、好ましくない。このように、水素プラズマを用いてエッチングすることにより、配線 24 の表面の酸化膜（銅の酸化膜）をエッチングし、同時に配線 24 の表面をクリーニングして、窒化シリコン膜からなる第 2 のバリア層 25 との密着性が向上される。

【0058】また、CVD 法で窒化シリコン膜からなる第 2 のバリア層 25 を形成する際には、配線 24 上の膜厚よりも配線 24 の側壁の膜厚が薄くなるように形成することが好ましい。それは、配線間に窒化シリコン膜が形成されると、配線間容量が上昇するため、極力、配線間容量の上昇を抑制するためである。そのため、CVD 法では、方向性を有する CVD 法として、高密度プラズマ CVD 装置を用いて成膜を行うとよい。もしくは、平行平板型プラズマ CVD 装置を用いて成膜を行うとよい。その成膜条件としては、ステップカバリッジが 30% 程度以下となる条件とする。平行平板型プラズマ CVD 装置を用いた場合の成膜条件としては、一例として、成膜雰囲気の圧力を 1.03 kPa、成膜温度を 400℃、プロセスガス比をモノシラン [SiH₄] : アンモニア (NH₃) = 3 : 1 程度に設定する。さらに、CVD の直前に、水素プラズマおよび窒素プラズマのうちの少なくとも一方を含むプラズマ処理を行うことが好ましい。高密度プラズマ CVD 装置を用いた場合の成膜条件としては、一例として、成膜雰囲気の圧力を 1 Pa 以

下、成膜温度を200℃～400℃、プロセスガス比をモノシラン〔SiH₄〕：窒素（N₂）＝3：1.5～5程度に設定する。

【0059】上記のようにして第2のバリア層25を成膜すると、第2のバリア層25は、配線24の上部側を覆うとともに配線24の側部で第1のバリア層23と重なり合っ

て、配線24を第1バリア層23とともに被覆する。

【0060】その後、図5の（4）に示すように、第2のバリア層25上に層間絶縁膜31を形成する。層間絶縁膜31は、低誘電率膜を含むことが望ましい。本発明では、アリアルエーテルを用いたが、他に、有機SOG、無機SOG、フッ素樹脂、キセロゲル等を用いることも可能である。

【0061】なお、図示はしないが、上記絶縁膜11の所定に位置に接続孔およびその内部にプラグが形成されている。また、デュアルダマシン法により配線24を形成する場合には、上記絶縁膜11の所定の位置にデュアルダマシン法により接続孔を形成し、配線24を形成する際に、接続孔内部にも配線24を形成する導電体、例えば銅を埋め込んでプラグを形成する。

【0062】上記図5によって説明した第1の製造方法では、配線溝22の内部に第1のバリア層23を介して銅よりなる配線24を形成した後、配線24の周囲の層間絶縁膜21を除去して、層間絶縁膜21の表面より配線24と第1のバリア層23とを突出させ、その後、配線24の上部側を覆うとともに配線24の側部で第1のバリア層23と重なり合っ

て配線24を第1バリア層23とともに覆う第2のバリア層25を形成することから、配線24は第1のバリア層23と第2のバリア層25とにより被覆される。

【0063】そのため、配線24のストレスが第1のバリア層23および第2のバリア層25に加えられても、第1のバリア層23と第2のバリア層25とが重なり合っていることにより、たとえ、どちらかのバリア層がずれたとしても、重なり合っている部分で第1のバリア層23と第2のバリア層25との接触が保たれる。すなわち、第1のバリア層23と第2のバリア層25とを重なり合うように形成することにより、バリア層同志の密着力が強化されるためである。したがって、第1のバリア層23と第2のバリア層25とが離れないので、その間に隙間が開いて配線24を構成する銅が外部に移動（もしくは拡散）することはない。よって、配線24を上記のように銅（もしくは銅合金）で形成し、上記層間絶縁膜21に酸化シリコン膜を用いたとしても、配線24中の銅、例えばイオン化した銅が層間絶縁膜21中に移動することはない。

【0064】また、上記第1の製造方法において、層間絶縁膜21が低誘電率有機膜と酸化シリコン膜との積層構造となっていて、層間絶縁膜21の上部が酸化シリコ

ン膜で形成され、その酸化シリコン膜の膜厚が30nm～100nm程度の場合には、配線24および第1のバリア層23を突出させるために層間絶縁膜21の上部を除去する工程において、層間絶縁膜21の酸化シリコン膜部分を全て除去してもよい。

【0065】次に、本発明の第2の製造方法に係わる第1の実施の形態を、図6の製造工程図によって説明する。図6では、一例として、前記図2によって説明した半導体装置の製造方法を示し、前記図2で示した構成部品と同様の部品には同一符号を付与する。

【0066】図6の（1）に示すように、前記図5の（1）によって説明したのと同様の方法、つまり一般に知られているダマシン法により、層間絶縁膜21に凹部（以下、配線溝22として説明する）22を形成した後、配線溝22の内面に第1のバリア層23を、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化タンタルもしくはタンタルで形成する。さらに、配線溝22の内面に第1のバリア層23を介して銅のシード層を形成した後、電解めっき法等により、配線溝22の内部を導電体（例えば銅）で埋め込む。その後、例えばCMPにより、層間絶縁膜21上の余分な銅および第1のバリア層23を除去して、配線溝22の内部に第1のバリア層23を介して銅からなる配線24を形成する。

【0067】次いで図6の（2）に示すように、層間絶縁膜21をエッチングする。その際のエッチング条件を、第1のバリア層23の側周における層間絶縁膜21がエッチングされるような条件を選択する。例えば層間絶縁膜21が10%～20%の炭素を含む酸化シリコン膜の場合、マグネトロン型エッチング装置を用いて、エッチングガスにトリフルオロメタン（CHF₃）〔供給流量は例えば5sccmとする〕とアルゴン（Ar）

〔供給流量は例えば20sccmとする〕と酸素（O₂）〔供給流量は例えば5sccmとする〕とを用い、一例として、エッチング雰囲気圧力を5Pa、印加電力を600Wに設定して、層間絶縁膜21を全面エッチバックすればよい。このような条件でエッチバックすることで、上記第1のバリア層23の上側部近傍の層間絶縁膜21に溝26を形成する。

【0068】その後、図6の（3）に示すように、上記溝26を埋め込むようにかつ上記配線24を上部側より被覆するように第2のバリア層25を形成する。このように第2のバリア層25を形成することから、第2のバリア層25は上記第1のバリア層23と上記配線24の側部（側面）で重なり合う状態になる。この第2バリア層25は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化シリコンで形成する。このようにして、配線24は第1のバリア層23と第2のバリア層25とによって被覆される。

【0069】上記図6によって説明した第2の製造方法

に係わる第1の実施の形態では、層間絶縁膜21に形成した配線溝22の内部に第1のバリア層23を介して配線24を形成し、次いで第1のバリア層23の上側部近傍の層間絶縁膜21を除去して溝26を形成した後、配線24の上部側を覆うとともに溝26を埋め込む状態に第2のバリア層25を形成することから、配線24は第1のバリア層23と第2のバリア層25とにより被覆される。

【0070】そのため、配線24のストレスが第1のバリア層23および第2のバリア層25に加えられても、第1のバリア層23と第2のバリア層25とが重なり合っていることにより、たとえ、どちらかのバリア層がずれたとしても、重なり合っている部分で第1のバリア層23と第2のバリア層25との接触が保たれる。すなわち、第1のバリア層23と第2のバリア層25とを重なり合うように形成することにより、バリア層同志の密着力が強化されるためである。したがって、第1のバリア層23と第2のバリア層25とが離れないので、その間に隙間が開いて配線24を構成する銅が外部に移動（もしくは拡散）することはない。よって、配線24を上記のように銅（もしくは銅合金）で形成し、上記層間絶縁膜21に酸化シリコン膜を用いたとしても、配線24中の銅、例えばイオン化した銅が層間絶縁膜21中に移動することはない。

【0071】次に、本発明の第2の製造方法に係わる第2の実施の形態を、図7の製造工程図によって説明する。図7では、一例として、前記図3によって説明した半導体装置の製造方法を示し、前記図3で示した構成部品と同様の部品には同一符号を付与する。

【0072】前記図6の（1）、（2）によって説明したのと同様の方法により、層間絶縁膜21に凹部（以下、配線溝として説明する）22を形成し、その配線溝22の内部に第1のバリア層23を介して銅からなる配線24を形成する。次いで層間絶縁膜21をエッチバックして、上記第1のバリア層23の上側部の層間絶縁膜21に溝26を形成する。

【0073】その後、図7に示すように、上記溝26を埋め込むようにかつ上記配線24を上部側より被覆するようにして、層間絶縁膜21上に第2のバリア層27を形成する。この第2バリア層27は、銅原子および銅イオンに対してバリア性を有するような材料として、例えばアリアルエーテルのような低誘電率有機膜で形成する。このようにして、第2のバリア層27は上記第1のバリア層23と上記配線24の側部（側面）で重なり合う状態に形成される。

【0074】よって、上記第1の実施の形態と同様の作用効果が得られる。すなわち、よって、配線24を上記のように銅（もしくは銅合金）で形成し、上記層間絶縁膜21に酸化シリコン膜を用いたとしても、第1のバリア層23と第2のバリア層27とで配線24が被覆され

ているので、配線24中の銅、例えばイオン化した銅が層間絶縁膜21中に移動することはない。

【0075】次に、本発明の第3の製造方法に係わる実施の形態を、図8の製造工程図によって説明する。図8では、一例として、前記図4によって説明した半導体装置の製造方法を示し、前記図4で示した構成部品と同様の部品には同一符号を付与する。

【0076】図8の（1）に示すように、半導体基板（図示省略）には、半導体素子（例えば、トランジスタ、容量、抵抗等）が形成され、さらに下層配線、配線パターン等が形成されている。そのような半導体基板上には、それらの素子、配線等を覆う絶縁膜11が形成されている。その絶縁膜11上に、層間絶縁膜21を形成する。この層間絶縁膜21は、例えばアリアルエーテル等の有機膜と酸化シリコン膜との積層膜で形成する。もしくは、フッ素樹脂膜と酸化シリコン膜との積層膜、酸化フッ素化シリコン膜、有機SOG膜、無機SOG膜等の、いわゆる低誘電率膜で形成する。特に、デザインルールが0.13 μ m世代以降のデバイスでは、低誘電率膜を含むことが必要である。

【0077】その後、一般的に知られているダマシン法によって、層間絶縁膜21に凹部（以下溝として説明する）を形成した後、配線溝22の内面に第1のバリア層23を、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化タンタルもしくはタンタルで形成する。さらに、配線溝22の内面に第1のバリア層23を介して銅のシード層を形成した後、電解めっき法等により、配線溝22の内部を導電体（例えば銅）で埋め込む。その後、例えばCMPにより、層間絶縁膜21上の余分な銅および第1のバリア層23を除去して、配線溝22の内部に第1のバリア層23を介して銅からなる配線24を形成する。

【0078】次に、図8の（2）に示すように、層間絶縁膜21の表面よりも配線24の上面が低くなるように配線24の上部のみを選択的にエッチングする。上記エッチングによって、配線24と第1のバリア層23との段差の高さを少なくとも30nm以上に形成することが好ましい。もし、上記段差が30nm以下の場合には、後に形成する第2のバリア層との重なり部分が少なくなり、十分なバリア性を確保することが困難になり、従来のバリア層の構造と同様になってしまうためである。

【0079】次いで、図8の（3）に示すように、配線24の表面を例えばスパッタエッチングもしくは水素プラズマエッチングにより、酸化膜等を除去する。続いて、例えばスパッタリングにより、配線24を被覆するように層間絶縁膜21上に第2のバリア層25を形成する。上記第2のバリア層25は、銅原子および銅イオンに対してバリア性を有するような材料として、例えばタンタル、窒化タンタル等で形成する。その他の成膜方法

10

20

30

40

50

としては、蒸気法、CVD法等の成膜方法を用いることも可能である。

【0080】なお、配線24の表面に酸化膜を生成させないために、上記スパッタエッチングもしくは水素プラズマエッチングから第2のバリア層25を形成するまでを非酸化性雰囲気で行うことが望ましい。例えば、いわゆるin situ 処理を行うことが望ましい。例えばスパッタエッチングにより、5nm～20nm程度エッチングを行い、その後、連続してスパッタリングによりタンタル膜からなる第2のバリア層25を形成する。このタンタル膜は20nm～75nm程度の厚さに形成することが望ましい。20nm未満では十分なバリア性が得られない。一方、75nmを超える厚さでは、加工に時間を要し、配線抵抗が大きくなり過ぎることになる。

【0081】その後、図8の(4)に示すように、例えばCMPによって、層間絶縁膜21上の第2のバリア層25を除去する。この結果、配線溝22内に第1のバリア層23と第2のバリア層25とが、配線24の上側部で重なり合って、配線24を第1バリア層23と第2のバリア層25とで被覆する構成が完成する。このように層間絶縁膜21上の第2のバリア層25を除去することから、第2のバリア層25を導電体の窒化タンタルやタンタルで形成することが可能になる。

【0082】その後、図示はしないが、前記第1の製造方法と同様に、第2のバリア層25および層間絶縁膜21上に層間絶縁膜31を形成する。層間絶縁膜31は、低誘電率膜を含むことが望ましい。本発明では、アリアルエーテルを用いたが、他に、有機SOG、無機SOG、フッ素樹脂、キセロゲル等を用いることも可能である。

【0083】なお、上記第2のバリア層25を、前記第1の製造方法で説明した窒化シリコン膜、水素化シリコンカーボン等の絶縁膜で形成することも可能である。その場合の成膜方法、成膜条件等は、第1の製造方法で説明したのと同様である。

【0084】また、上記第3の製造方法において、図示はしないが、上記絶縁膜11の所定に位置に接続孔およびその内部にプラグが形成されている。また、デュアルダマシン法により配線24を形成する場合には、上記絶縁膜11の所定の位置にデュアルダマシン法により接続孔を形成し、配線24を形成する際に、接続孔内部にも配線24を形成する導電体、例えば銅を埋め込んでプラグを形成する。

【0085】上記図8によって説明した第2の製造方法では、配線溝22の内部に第1のバリア層23を介して銅よりなる配線24を形成した後、配線24の上部を除去して、層間絶縁膜21の表面より配線24の上面を低くし、その後、配線24の上部側を覆うとともに配線24の側部で第1のバリア層23と重なり合って配線24を第1バリア層23とともに覆う第2のバリア層25を

形成することから、配線24は第1のバリア層23と第2のバリア層25とにより被覆されるようになる。

【0086】そのため、配線24のストレスが第1のバリア層23および第2のバリア層25に加えられても、第1のバリア層23と第2のバリア層25とが重なり合っていることにより、たとえ、どちらかのバリア層がずれたとしても、重なり合っている部分で第1のバリア層23と第2のバリア層25との接触が保たれる。すなわち、第1のバリア層23と第2のバリア層25とを重なり合うように形成することにより、バリア層同志の密着力が強化されるためである。したがって、第1のバリア層23と第2のバリア層25とが離れないので、その間に隙間が開いて配線24を構成する銅が外部に移動（もしくは拡散）することはない。よって、配線24を上記のように銅（もしくは銅合金）で形成し、上記層間絶縁膜21に酸化シリコン膜を用いたとしても、配線24中の銅、例えばイオン化した銅が層間絶縁膜21中に移動することはない。

【0087】なお、本発明の半導体装置に係わる第5の実施の形態として、図9に示すような構造とすることも可能である。それを以下に説明する。

【0088】図9に示すように、半導体装置の一部を構成する層間絶縁膜21には凹部（以下、配線溝として説明する）22が形成されている。この配線溝22には、第1のバリア層23を介して配線24が上記層間絶縁膜21の上面より突出する状態に形成されている。しかも第1のバリア層23は、配線溝22の周囲の層間絶縁膜21上にも形成されている。このように形成するには、CMPで第1のバリア層23上に堆積されている配線を形成するための導電体（例えば銅）を除去した後、いわゆるマスク工程（リソグラフィ技術とエッチング）により、第1のバリア層23をパターンニングする必要がある。なお、上記第1のバリア層23は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化タンタルもしくはタンタルで形成されている。上記配線24は、例えば銅もしくは銅合金で形成されている。

【0089】さらに上記配線24を上部側より被覆する第2のバリア層25が、上記第1のバリア層23と上記配線24の側部（側面）で重なり合う状態に形成されている。この第2バリア層25は、銅原子および銅イオンに対してバリア性を有するような材料として、例えば窒化シリコンで形成されている。このようにして、配線24は第1のバリア層23と第2のバリア層25とによって被覆されている。

【0090】上記第5の実施の形態でも、前記説明した第1の実施形態と同様の効果が得られる。

【0091】上記各実施の形態で説明した第1のバリア層23と第2のバリア層25もしくは第2のバリア層27との配線断面の縦方向における重なり幅は、第1のバ

リア層 23 の配線 24 の側面もしくは配線溝 22 の側面での厚さと同程度以上が必要である、ただし、最大 45 nm 程度あれば十分であることは、発明者の実験により確認した。

【0092】上記各実施の形態で説明した第 1 のバリア層 23 および第 2 のバリア層 25 もしくは第 2 のバリア層 27 は、デュアルダマシン構造にも適用することが可能である。

【0093】また、上記各実施の形態で説明した構成を上下逆にした構成であっても、本発明の範疇に入る。

【0094】

【発明の効果】以上、説明したように本発明の半導体装置によれば、第 1 のバリア層により配線の下部が被覆され、第 2 のバリア層により配線の上部側が被覆され、第 1 のバリア層と第 2 のバリア層とが重なりあっていることで、配線のストレスが第 1 のバリア層および第 2 のバリア層に加えられて、たとえ、どちらかのバリア層がずれたとしても、第 1 のバリア層と第 2 のバリア層とが離間することはなく、常に第 1 のバリア層と第 2 のバリア層とで配線を被覆することができる。そのため、配線が銅もしくは銅合金で形成されていても、配線中の銅が配線外に移動することができない。よって、配線間のショート

の発生、リーク電流の発生を抑えることができ、配線信頼性の高いものとなる。

【0095】本発明に係わる第 1 の半導体装置の製造方法によれば、絶縁膜に形成した凹部に導電体を埋め込むことで形成した配線の周囲の絶縁膜を除去して、絶縁膜表面より配線と第 1 のバリア層とを突出させた後、配線の上部側を覆うとともに配線の側部で第 1 のバリア層と重なり合って配線を第 1 バリア層とともに覆う第 2 のバリア層を形成するので、第 1 のバリア層と第 2 のバリア層とにより配線を完全に被覆することができる。そのため、配線のストレスが第 1 のバリア層および第 2 のバリア層に加えられて、どちらかのバリア層がずれたとしても、重なり合っている部分で第 1 のバリア層と第 2 のバリア層との接触を保つことができるので、配線を銅もしくは銅合金で形成したとしても、配線中の銅の移動を阻止することができる。よって、配線間のショート

の発生、リーク電流の発生を抑えた、配線信頼性の高いものを製造することができる。

【0096】本発明に係わる第 2 の半導体装置の製造方法によれば、絶縁膜に形成した凹部内の第 1 のバリア層の上側部近傍の絶縁膜を除去して溝を形成した後、配線の上部側を覆いかつ溝を埋め込み、配線の側部で第 1 のバリア層と重なり合って配線を第 1 バリア層とともに覆う第 2 のバリア層を形成するので、第 1 のバリア層と第

2 のバリア層とにより配線を完全に被覆することができる。そのため、配線のストレスが第 1 のバリア層および第 2 のバリア層に加えられて、どちらかのバリア層がずれたとしても、重なり合っている部分で第 1 のバリア層と第 2 のバリア層との接触を保つことができるので、配線を銅もしくは銅合金で形成したとしても、配線中の銅の移動を阻止することができる。よって、配線間のショート

の発生、リーク電流の発生を抑えた、配線信頼性の高いものを製造することができる。

【0097】本発明に係わる第 3 の半導体装置の製造方法によれば、絶縁膜に形成した凹部導電体を埋め込むことで形成した配線の上部を除去して、絶縁膜表面より低く形成した後、配線の上部側を覆うとともに配線の上側部で第 1 のバリア層と重なり合って配線を第 1 バリア層とともに覆う第 2 のバリア層を形成するので、第 1 のバリア層と第 2 のバリア層とにより配線を完全に被覆することができる。そのため、上記第 1 の製造方法と同様に、配線を銅もしくは銅合金で形成したとしても、配線中の銅、例えばイオン化した銅の移動を阻止することができる。よって、配線間のショート

の発生、リーク電流の発生を抑えた、配線信頼性の高いものを製造することができる。

【図面の簡単な説明】

【図 1】本発明の半導体装置に係わる第 1 の実施の形態を示す概略構成断面図である。

【図 2】本発明の半導体装置に係わる第 2 の実施の形態を示す概略構成断面図である。

【図 3】本発明の半導体装置に係わる第 3 の実施の形態を示す概略構成断面図である。

【図 4】本発明の半導体装置に係わる第 4 の実施の形態を示す概略構成断面図である。

【図 5】本発明の第 1 の製造方法に係わる実施の形態を示す製造工程図である。

【図 6】本発明の第 2 の製造方法に係わる第 1 の実施の形態を示す製造工程図である。

【図 7】本発明の第 2 の製造方法に係わる第 2 の実施の形態を示す製造工程図である。

【図 8】本発明の第 3 の製造方法に係わる実施の形態を示す製造工程図である。

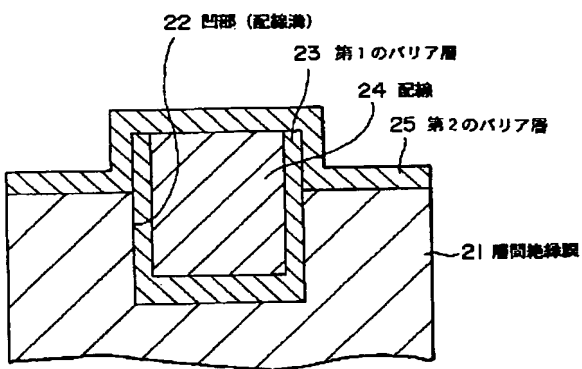
【図 9】本発明の半導体装置に係わる第 5 の実施の形態を示す概略構成断面図である。

【図 10】従来のダマシン法による配線の形成方法を説明する製造工程図である。

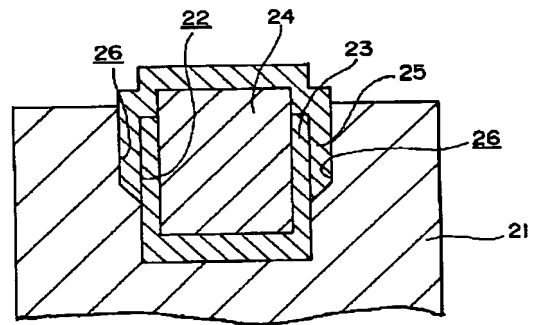
【符号の説明】

21…層間絶縁膜、22…凹部（配線溝）、23…第 1 のバリア層、24…配線、25…第 2 のバリア層

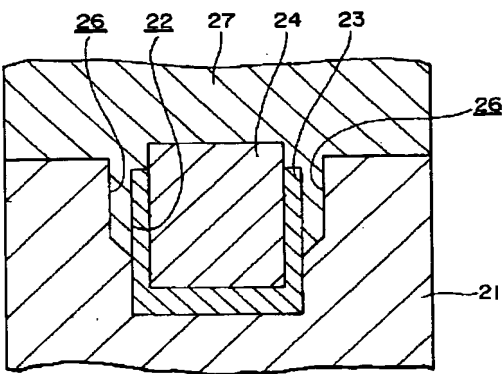
【図 1】



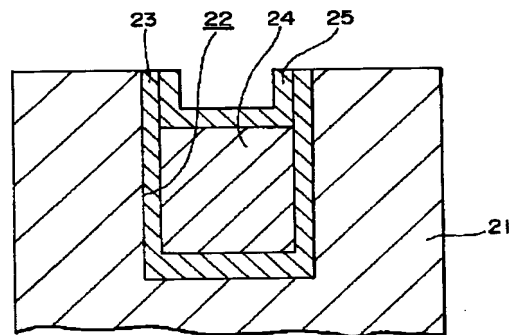
【図 2】



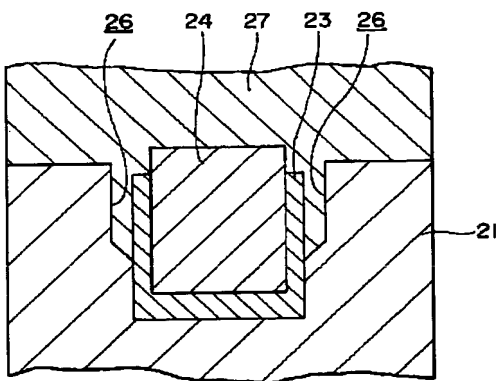
【図 3】



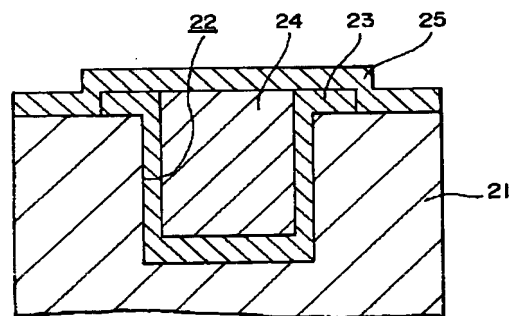
【図 4】



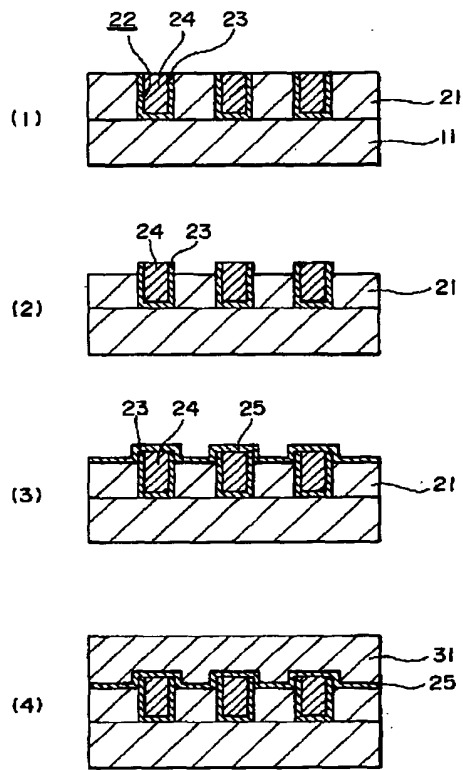
【図 7】



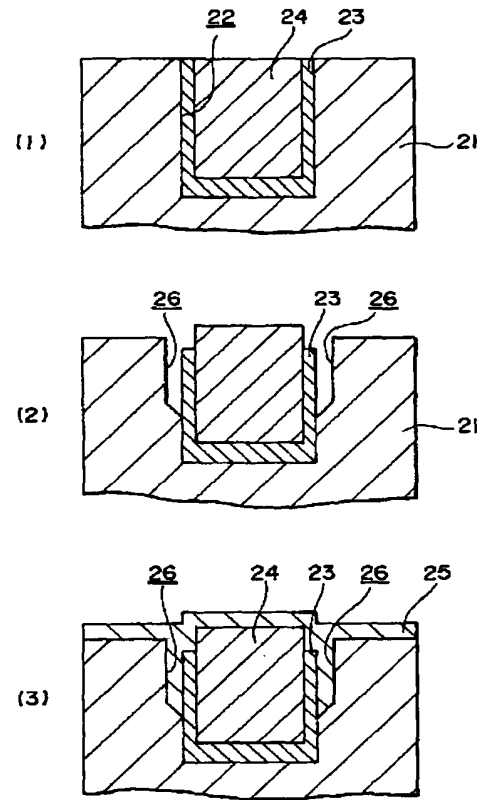
【図 9】



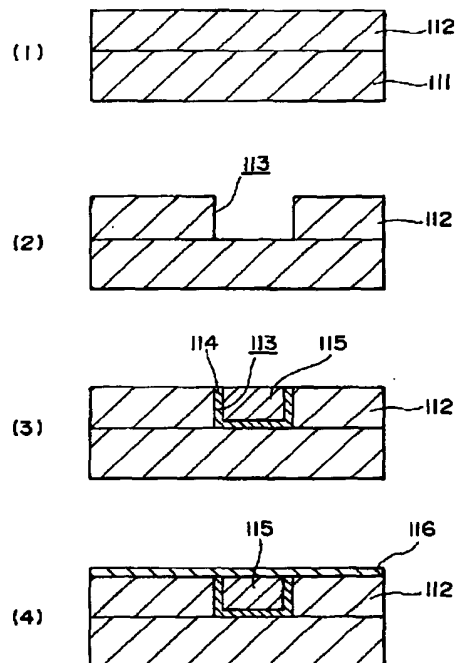
【図 5】



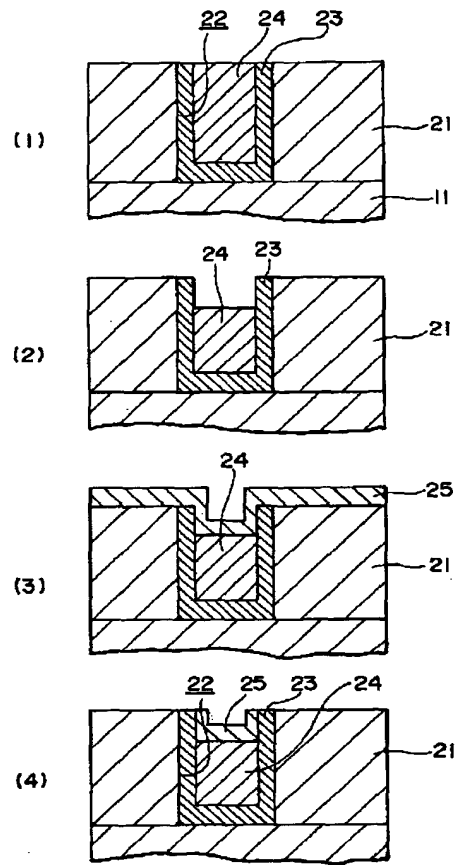
【図 6】



【図 10】



【図 8】



フロントページの続き

(72) 発明者 宮田 幸児
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内
 (72) 発明者 池田 浩一
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内

F ターム(参考) 5F033 HH11 HH12 HH21 HH22 HH32
 JJ11 JJ12 JJ21 JJ22 JJ32
 MM01 MM02 MM05 MM11 MM12
 MM13 MM15 NN06 NN07 PP27
 QQ09 QQ12 QQ14 QQ19 QQ48
 QQ94 QQ98 RR01 RR04 RR05
 RR09 RR11 RR21 RR24 RR25
 SS01 SS02 SS08 SS11 SS22
 TT02 TT04 XX12 XX28